

SoCFPGA&OpenCL實驗室

建置特色



1. 與美商Intel Altera 成立聯合實驗室，為學生提供學習最新SoC FPGA設計學習環境。
2. 安裝半導體中心提供之晶片設計、模擬與佈局軟體，提供學生積體電路設計學習環境。
3. 規劃虛擬機器提供學生不同作業系統、計算機程式與微處理機等課程學習環境。

短期目標



1. 培養學生數位系統設計、積體電路設計與佈局，培養學生建立一特殊應用之軟體與硬體設計能力。
2. 培養學生作業系統認知與專業能力。

長期發展



透過感測元件整合與嵌入式系統之應用，進行長時間之數據分析與判讀，以建構一具有預防與預警功能之護聯網系統。

課程成果



- 108年成立 Intel FPGA SoCFPGA&OpenCL 聯合實驗室 (2019/03/22)
- 光學遙測影像資料壓縮編碼計畫(2018/10~2020/12)
- 智慧汽車電子設計與製造類產業人才培育計畫(2018/10~2020/12)
- 教育部智慧聯網技術課程推廣計畫(2020/08~2021/8)
- 特殊型雷射測距模組系統設計(2020/6/1~2021/3/31)
- 舉辦108學年度寒暑假、107學年度寒暑假、106學年度寒暑假自主學習
- 友晶科技股份有限公司技術指導教學合作
- 晶心科技股份有限公司技術指導教學合作

研究設備



- ❖ 第10代Intel Core i7個人電腦: 61套
- ❖ DE10-Nano多媒體平臺:33套
- ❖ FPGA系統開發板(Stratix V): 1套
- ❖ Altera DE3 高階開發平臺:1臺
- ❖ 進階SOPC系統設計實驗平臺(DE1-SoC-MTL2):30臺
- ❖ RISC-V 指令集架構及記憶體階層之T-core FPGA開發板: 40 組

指導教授



董慧香 副教授

負責室長



趙星辰 同學

☎ 2229 ✉ hhtung@mail.aeust.edu.tw

✉ 108104112@mail.aeust.edu.tw

